

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum  
Internationales Büro(43) Internationales Veröffentlichungsdatum  
14. März 2002 (14.03.2002)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 02/21596 A2(51) Internationale Patentklassifikation<sup>7</sup>: H01L 23/58(DE). PÜSCHNER, Frank [DE/DE]; Kohlenschachtweg  
5, 93309 Kelheim (DE). STAMPKA, Peter [DE/DE];  
Klardorfer-Str. 41 a, 92421 Schwandorf (DE).

(21) Internationales Aktenzeichen: PCT/DE01/03308

(22) Internationales Anmeldedatum:  
30. August 2001 (30.08.2001)(74) Anwalt: EPPING HERMANN & FISCHER; Ridler-  
strasse 55, 80339 München (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (*national*): BR, CA, CN, IL, IN, JP,  
KR, MX, RU, UA, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
NL, PT, SE, TR).(30) Angaben zur Priorität:  
100 43 955.1 6. September 2000 (06.09.2000) DE(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von  
US*): INFINEON TECHNOLOGIES AG [DE/DE]; St.-  
Martin-Str. 53, 81669 Munich (DE).

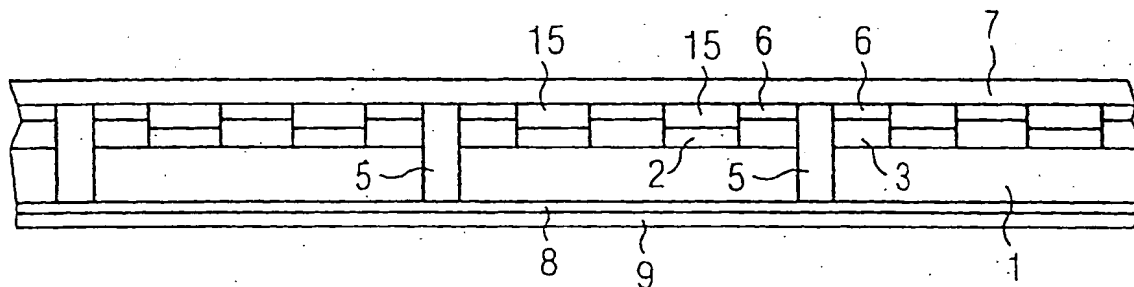
## Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu  
veröffentlichen nach Erhalt des Berichts

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): MARBACH, Ida  
[DE/DE]; Alte Nürnberger Str. 69 b, 93059 RegensburgZur Erklärung der Zweibuchstaben-Codes und der anderen  
Abkürzungen wird auf die Erklärungen ("Guidance Notes on  
Codes and Abbreviations") am Anfang jeder regulären Ausgabe  
der PCT-Gazette verwiesen.

(54) Title: SEMICONDUCTOR CHIP WITH A PROTECTIVE COVERING AND ASSOCIATED PRODUCTION METHOD

(54) Bezeichnung: HALBLEITERCHIP MIT EINER SCHUTZABDECKUNG UND ZUGEHÖRIGES HERSTELLUNGSVER-  
FAHREN

(57) Abstract: The invention relates to a semiconductor chip having a protective layer (6,8) made of an abrasion-resistant and/or etch-resistant material applied thereto. The material can, for example, contain abrasion-resistant grains. In a preferred embodiment, the thickness of the semiconductor body (1) is reduced to less than 50 µm. As a result, the chip inevitably breaks if an attempt is made to grind the hard protective layer. The wafer is pre-cut from the front side so that the chips can be individually separated in an easier manner, be provided with said protective layer (6), the thickness thereof being subsequently reduced from the rear side.

(57) Zusammenfassung: Bei dem Halbleiterchip ist auf einer Oberseite eine Schutzschicht (6, 8) aus einem schleiftesten und/oder ätzresistenten Material aufgebracht. Das Material kann z. B. schleifteste Körner enthalten. Eine bevorzugte Ausgestaltung sieht vor, dass der Halbleiterkörper (1) auf eine Dicke von weniger als 50 µm reduziert ist, so dass der Chip bei einem Versuch, die harte Schutzschicht abzuschleifen, unweigerlich bricht. Der Wafer wird von der Vorderseite her vorgesägt, damit die Chips leichter einzeln werden können, auf der Vorderseite mit der Schutzschicht (6) versehen und dann von der Rückseite her gedünnt.

## Beschreibung

Halbleiterchip mit einer Schutzabdeckung und zugehöriges Herstellungsverfahren

5

Die vorliegende Erfindung betrifft einen Halbleiterchip mit einer Abdeckung zum Schutz gegen eine nicht autorisierte Strukturanalyse und ein zugehöriges Herstellungsverfahren.

10 Bei Halbleiterchips, die eine sicherheitsrelevante Information enthalten, insbesondere Halbleiterchips mit einer für Chipkarten vorgesehenen integrierten Schaltung, ist es erforderlich, Schutzmaßnahmen vorzusehen, die verhindern, dass die Inhalte der integrierten Schaltung ausspioniert werden. Her-  
15 kömmliche Gehäuse oder Abdeckungen für Halbleiterchips, wie sie zum Beispiel in der US 5,458,912 und der US 5,258,334 beschrieben sind, bieten keinen ausreichenden Schutz, wenn die Gehäuse entfernt werden können oder eine Schutzabdeckung abgeschliffen oder abgeätzt werden kann.

20

In der EP 0 834 914 A2 ist ein keramisches Material zur optischen Abdeckung von Halbleiterbauelementen beschrieben, für das abriebfeste Füllstoffe angegeben sind.

25 Aufgabe der vorliegenden Erfindung ist es, einen Halbleiterchip anzugeben, der gegen ein Ausspionieren der in dem Chip gespeicherten Daten ausreichend geschützt ist. Außerdem soll ein zugehöriges Herstellungsverfahren für einen derartigen Halbleiterchip angegeben werden.

30

Diese Aufgabe wird mit dem Halbleiterchip mit der Schutzabdeckung mit den Merkmalen des Anspruches 1 bzw. mit dem Verfahren zur Herstellung von Halbleiterchips mit einer Schutz-  
35 abdeckung mit den Merkmalen des Anspruches 4 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Bei dem erfindungsgemäßen Halbleiterchip ist auf einer Ober-  
seite eine Schutzschicht aus einem schleiffesten und/oder  
ätzresistenten Material aufgebracht. Das Material kann z. B.  
schleiffeste Körner enthalten. Eine bevorzugte Ausgestaltung  
5 sieht vor, dass der Halbleiterkörper auf eine Dicke von weni-  
ger als 50  $\mu\text{m}$  reduziert ist, so dass der Chip bei einem Ver-  
such, die harte Schutzschicht abzuschleifen, unweigerlich  
bricht. Der Informationsgehalt oder die Struktur der Schal-  
tung sind damit so weitgehend zerstört, dass eine Analyse  
10 nicht mehr möglich ist. Eine harte Schutzschicht aus schleif-  
festem und/oder ätzresistentem Material lässt daher keine  
Möglichkeit, die in dem Chip integrierte Schaltung freizule-  
gen, ohne die Schaltung so weitgehend zu zerstören, dass eine  
Analyse ihrer Struktur nicht mehr möglich ist.

15 Es folgt eine Beschreibung eines bevorzugten Ausführungsbei-  
spiels des erfindungsgemäßen Halbleiterchips anhand eines be-  
sonders geeigneten Herstellungsverfahrens, das anhand der Fi-  
guren 1 bis 5 erläutert wird, die jeweils Zwischenprodukte im  
20 Querschnitt zeigen.

In Figur 1 ist ein Wafer 1 dargestellt, in dem Bauelemente,  
die die integrierten Schaltungen der Chips bilden, im Wesent-  
lichen fertig gestellt sind. Zwischen den Anteilen des Wa-  
fers, die für die einzelnen Halbleiterchips 10 vorgesehen  
25 sind, werden Einschnitte 4 hergestellt. Diese Einschnitte 4  
können im einfachsten Fall Einkerbungen sein. Es ist auch  
möglich, die Einschnitte durch ein Vorsägen des Wafers von  
der prozessierten Oberseite her bis in eine Tiefe von typisch  
30 etwa 30  $\mu\text{m}$  bis 70  $\mu\text{m}$  herzustellen. Auf der Oberseite des Wa-  
fers befinden sich Anschlusskontaktflächen 2, z. B. aus Me-  
tall oder leitfähig dotiertem Polysilizium, die dem elektri-  
schen Anschluss der integrierten Schaltungen nach außen die-  
nen und die eine Passivierung 3 der Oberfläche, die z. B. ein  
35 Nitrid sein kann, unterbrechen.

In einem nachfolgenden Verfahrensschritt wird eine Maske 5, vorzugsweise ein Fotolack, in die Einschnitte 4 und auf die Anschlusskontaktflächen 2 in einer für die nachfolgenden Schritte ausreichenden Höhe eingebracht bzw. aufgebracht.

5 Diese Maske 5 überragt insbesondere die Passivierung 3. Es wird dann die vorgesehene Schutzschicht 6 hergestellt, so dass sie entsprechend Figur 2 ganzflächig aufgebracht und ausreichend hart auf einem schleiffesten und/oder ätzresistenten Material ausgebildet ist.

10

Wie in Figur 3 dargestellt, wird dann die Oberseite durch Rückschleifen planarisiert. Da der Wafer in diesem Verfahrensschritt noch eine für eine ausreichende mechanische Stabilität erforderliche Dicke aufweist, kann die harte Schutzschicht 6 so weit abgetragen werden, dass das Material der Maske 5 freigelegt ist. Auf die dadurch zumindest weitgehend planarisierte Oberfläche wird vorzugsweise eine abschließend planarisierende Deckschicht 7, z. B. aus einem Kunststoffmaterial, aufgebracht.

15

20

Dann wird der Wafer von der Rückseite her gedünnt. Das ist in Figur 3 durch die nach oben gerichteten Pfeile angedeutet.

Dieses Dünnen kann vorzugsweise mittels CMP (chemical mechanical polishing) geschehen. Der Halbleiterkörper des Wafers 1 wird so weit gedünnt, dass der wesentliche Anteil des Materials, in dem Beispiel der Figur 3 bis zu der gestrichelt eingetragenen Grenze 11, entfernt wird. Vorzugsweise wird dabei erreicht, dass die Halbleiterchips 10 jetzt nicht mehr über das Halbleitermaterial, sondern nur noch über das Material der in die Einschnitte 4 eingebrachten Maske 5 miteinander verbunden sind. Dadurch wird das Vereinzeln der Halbleiterchips erleichtert.

25

30

Figur 4 zeigt den gedünnten Wafer im Querschnitt. Der Halbleiterkörper des Wafers besitzt nach diesem Verfahrensschritt vorzugsweise eine Dicke von weniger als 50  $\mu\text{m}$ . Es wird dann noch bei einer bevorzugten Ausführungsform des Verfahrens auf

35

die Rückseite des Wafer, d. h. auf diejenige Seite des Wafers, von der bei dem Verfahrensschritt des Dünnens das Material abgetragen wurde, eine weitere Schutzschicht 8 aufgebracht, die vorzugsweise ebenfalls aus dem schleifffesten und/oder ätzresistenten Material der oberen Schutzschicht 6 ausgebildet wird. Es kann dann noch eine Deckschicht 9 auf dieser Seite, z. B. ebenfalls aus einem Kunststoffmaterial, aufgebracht werden. Die Halbleiterchips werden aus dem gedünnten Wafer in einer an sich bekannten Weise vereinzelt, was ohne Schwierigkeiten geschehen kann, da die Halbleiterchips im Wesentlichen nur noch durch das Material der Maske 5 miteinander verbunden sind. Die Halbleiterchips sind jetzt so dünn, dass ein Versuch, die Schutzschicht 6 zu entfernen, zum Bruch der Halbleiterchips führt. Restliche Anteile 15 der Maske, die noch auf den Anschlusskontaktflächen 2 vorhanden sind, können zusammen mit der darauf aufgetragenen Deckschicht 7 entfernt werden, um so den Anschluss von Bonddrähten oder dergleichen zu ermöglichen.

Figur 5 zeigt im Querschnitt ein Beispiel für einen vollständig montierten (gehäuteten) Halbleiterchip, der mit Bonddrähten 12 auf den Anschlusskontaktflächen 2 versehen und auf einem Leadframe 14 oder einem Chipkartenkörper oder dergleichen aufgebracht und mit einer Vergussmasse 13 (globe top) bedeckt ist.

## Patentansprüche

1. Halbleiterchip mit einer Schutzabdeckung, bei dem die Schutzabdeckung eine auf eine Oberseite des Halbleiterchips aufgebraachte Schutzschicht (6) aus schleiffestem und/oder ätzresistentem Material ist, dadurch gekennzeichnet, dass der Halbleiterchip einen Halbleiterkörper (1) von weniger als 50 µm Dicke besitzt.

2. Verfahren zur Herstellung von Halbleiterchips mit einer Schutzabdeckung, bei dem ausgehend von einem Wafer mit fertig gestellten Bauelementen, in einem ersten Schritt Einschnitte (4) zwischen den für Halbleiterchips (10) vorgesehenen Anteilen des Wafers (1) hergestellt werden, in einem zweiten Schritt diese Einschnitte (4) und Anschlusskontaktflächen (2) mit einer Maske (5) aufgefüllt bzw. bedeckt werden, in einem dritten Schritt eine Schutzschicht (6) aus einem Material, das schleiffest und/oder ätzresistent ist, ganzflächig aufgebracht wird, in einem vierten Schritt die mit dieser Schutzschicht (6) bedeckte Fläche planarisiert wird, in einem fünften Schritt der Wafer von der der Schutzschicht (6) gegenüberliegenden Seite her gedünnt wird und in einem sechsten Schritt die Halbleiterchips (10) aus dem Wafer vereinzelt werden.

3. Verfahren nach Anspruch 2, bei dem zwischen dem fünften und sechsten Schritt eine weitere Schutzschicht (8) aus dem schleiffesten und/oder ätzresistenten Material auf die gedünnte Seite des Wafers aufgebracht wird.

4. Verfahren nach Anspruch 2 oder 3, bei dem nach dem sechsten Schritt restliche Anteile der Maske (5)

entfernt und die Anschlusskontaktflächen freigelegt werden sowie elektrische Leiter elektrisch leitend mit den Anschlusskontaktflächen verbunden werden.

- 5 5. Verfahren nach einem der Ansprüche 2 bis 4, bei dem in dem fünften Schritt der Wafer so weit gedünnt wird, dass der Halbleiterkörper eine Dicke von weniger als 50  $\mu\text{m}$  aufweist.

1/2

FIG 1

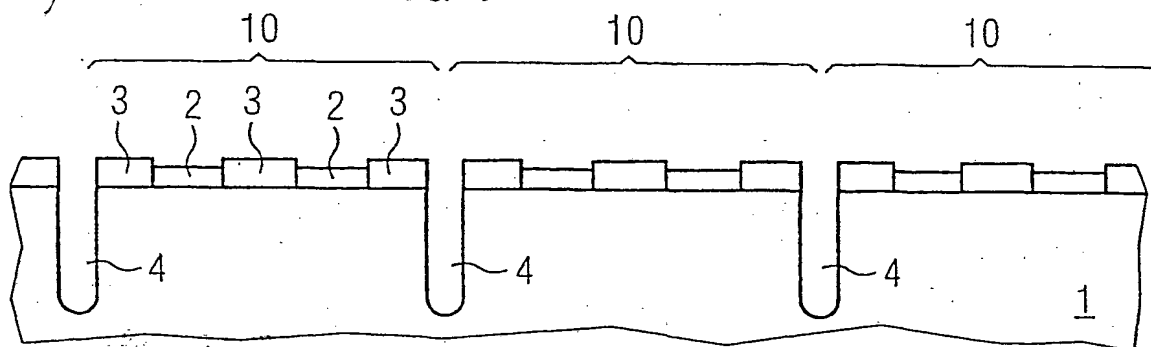


FIG 2

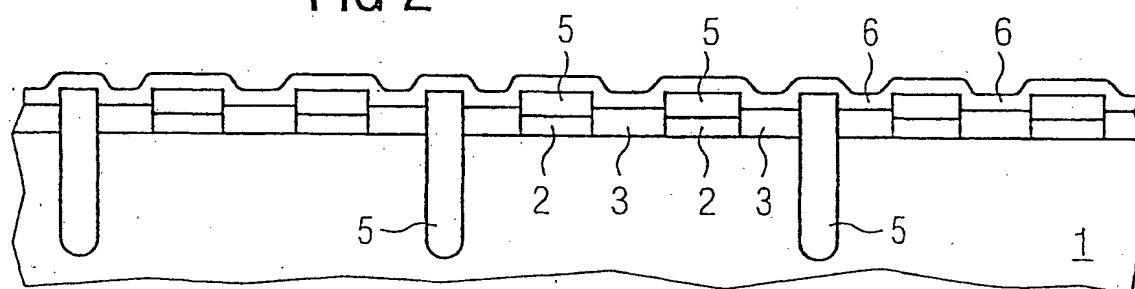
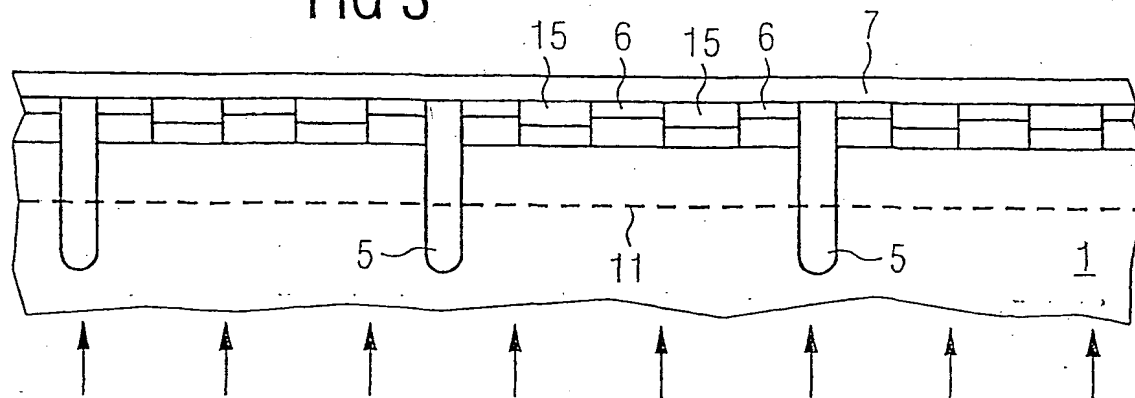


FIG 3





2/2

FIG 4

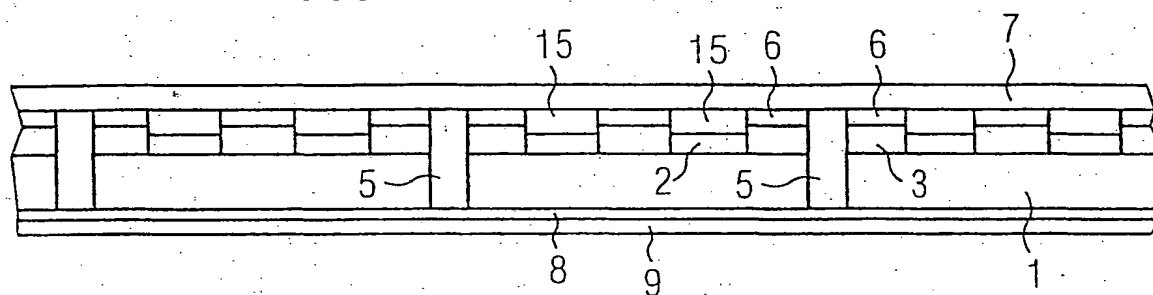
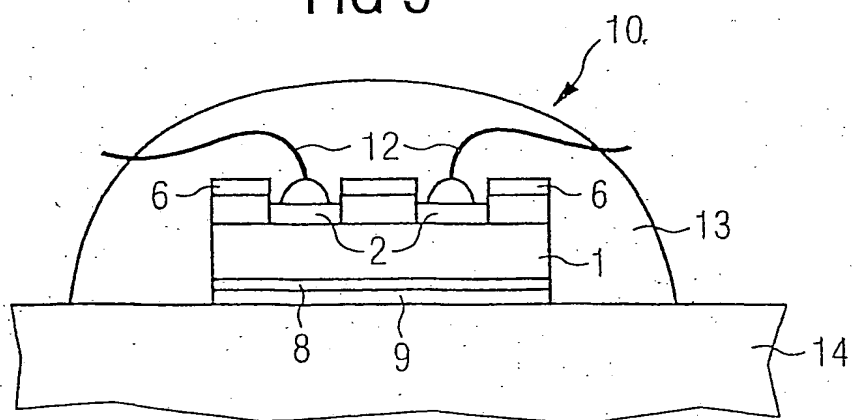


FIG 5



IS PAGE BLANK (USPTO)